

# Betriebssysteme (BS)

alias *Betriebssystembau (BSB)*

## PC Bussysteme und deren Programmierung



# Überblick

- Rückblick
  - Bussysteme im PC
- PCI Bus
- PCI aus Sicht des Betriebssystems
  - Initialisierung, PCI BIOS, ...
- PCI Erweiterungen und Nachfolger
  - AGP
  - PCI-X
  - PCI Express
- Zusammenfassung



# Rückblick – Bussysteme im PC

- seit es PCs gibt wurden die Anforderungen an den Systembus kontinuierlich größer:

Bussystem	PC	ISA	VLB	MCA	EISA	PCI
CPUs	ab 8088	ab 286	ab 386	ab 386	ab 386	ab 486
typischer Takt	4,7 MHz	8 MHz	25-50 MHz	10-25 Mhz	8,33 MHz	25-33 MHz
Multi-Master	nein	nein	ja (Version 2)	ja	ja	ja
Busbreite	8 Bit	16 Bit	32/64 Bit	32 Bit	32 Bit	32 Bit
Adressraum	1 MB	16 MB	4 GB	4 GB	4 GB	4 GB
Transferrate	1 MB/s	4-5 MB/s	40/64 MB/s (Burst)	40 MB/s (Burst)	33 MB/s (Burst)	132 MB/s (Burst)



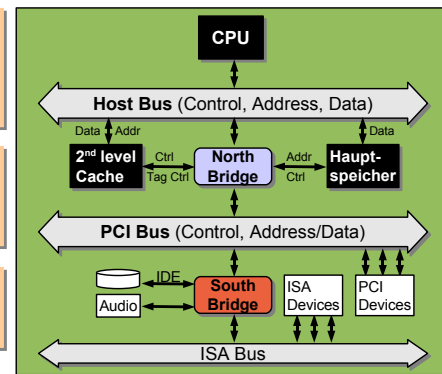
# PCI-basierte PC Systeme

- **typische Architektur** der ersten PCI Systeme:

Die North Bridge **entkoppelt** Host und PCI Bus. PCI Einheiten und CPU können so parallel arbeiten.

Die PCI Verbindung **zwischen North und South Bridge** wurde später durch etwas schnelleres ersetzt.

Durch die Bridges werden ISA und PCI **transparent** in einem System integriert.

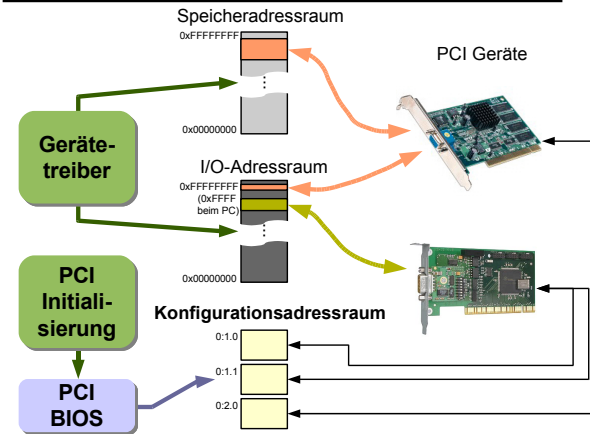


## PCI – die wichtigsten Daten

- Version 1.0 der Spezifikation von Intel (1991)
  - seit 1993 kommen die Spezifikationen von der PCI SIG
- 32/64 Bit, gemultiplexer Adress-/Datenbus
- im *Burst* Modus max. 132 MB/s bzw. 264 MB/s
- CPU-Typ unabhängig
  - PCI gibt es auch in Sparc, Alpha, ARM und PowerPC Systemen
- 4 Interruptleitungen (INTA-D)
- Skalierbarkeit durch *Bridges* und Multifunktionseinheiten
- Multi-Master Fähigkeit (besser als der klassische DMA)
- Schema zur Erkennung und Konfiguration von Geräten (Ressourcenzuweisung)

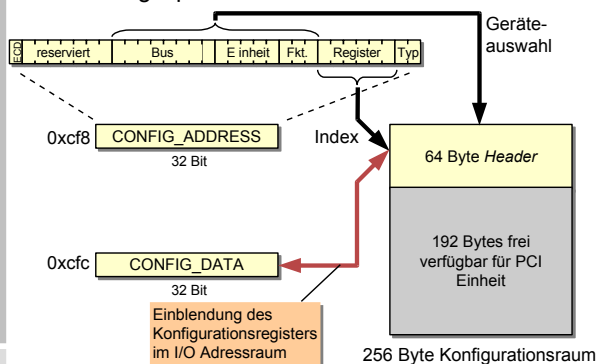


## Interaktion mit PCI Geräten



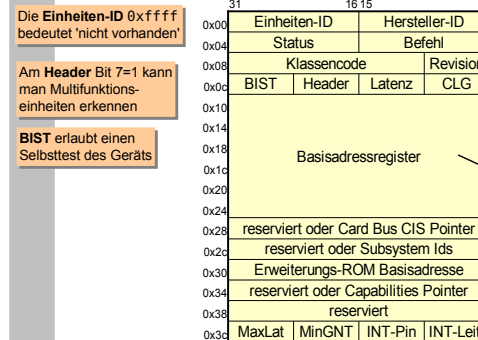
## Der PCI Konfigurationsadressraum (1)

- beim PC wird der Konfigurationsadressraum indirekt über I/O-Ports angesprochen:



## Der PCI Konfigurationsadressraum (2)

- Format des 64 Byte Headers:



## PCI Initialisierung

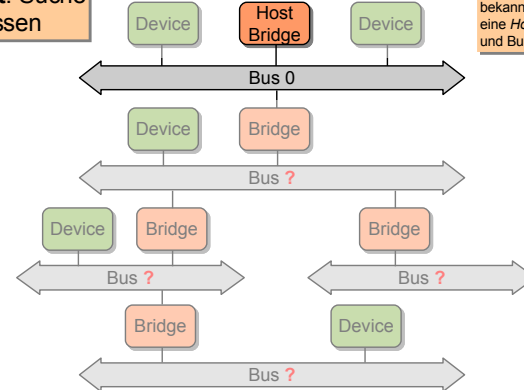
bevor PCI Geräte durch ihre Gerätetreiber angesprochen werden können, muss folgendes erfolgt sein:

- Konfigurierung der Basisadressregister der Geräte
  - Konfigurierung der PCI-Bridges
    - Speicherfensterregister – hängt von den Geräten **unterhalb** ab!
    - Busnummern (*Primary, Secondary, Subordinate*)
    - *Subordinate* ist die Nummer des letzten Busses **unterhalb** (*downstream*) der Bridge
- Das BIOS bzw. Betriebssystem muss die PCI Busstruktur **schrittweise** erforschen und initialisieren
- bereits belegte Busnummern und Adressbereiche dürfen auf keinen Fall doppelt vergeben werden!



## PCI Initialisierung unter Linux

### 1. Schritt: Suche nach Bussen

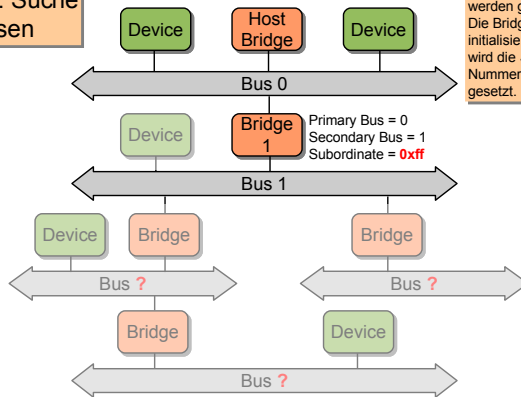


zunächst ist nur bekannt, dass es eine *Host-Bridge* und Bus 0 gibt.



## PCI Initialisierung unter Linux

### 1. Schritt: Suche nach Bussen

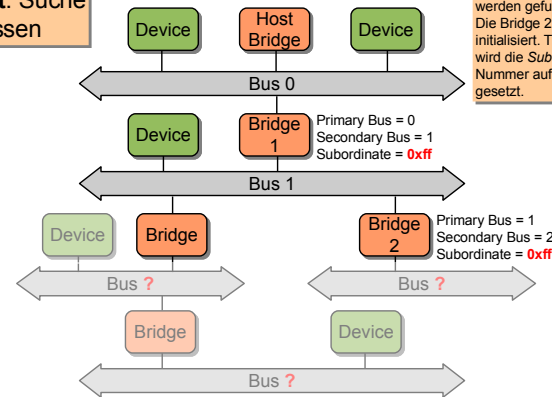


Die Geräte an Bus 0 werden gefunden. Die Bridge 1 wird initialisiert. Temporär wird die *Subordinate* Nummer auf 0xff gesetzt.



## PCI Initialisierung unter Linux

### 1. Schritt: Suche nach Bussen

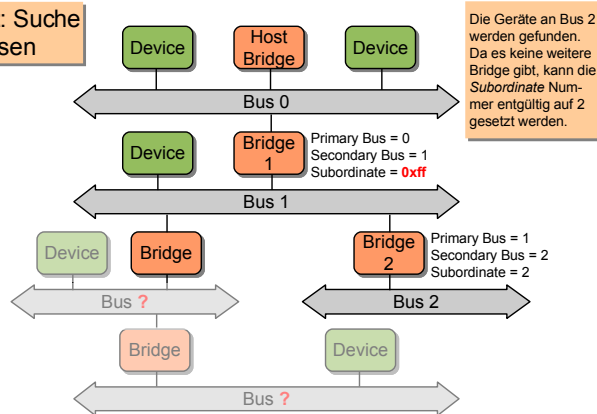


Die Geräte an Bus 1 werden gefunden. Die Bridge 2 wird initialisiert. Temporär wird die *Subordinate* Nummer auf 0xff gesetzt.



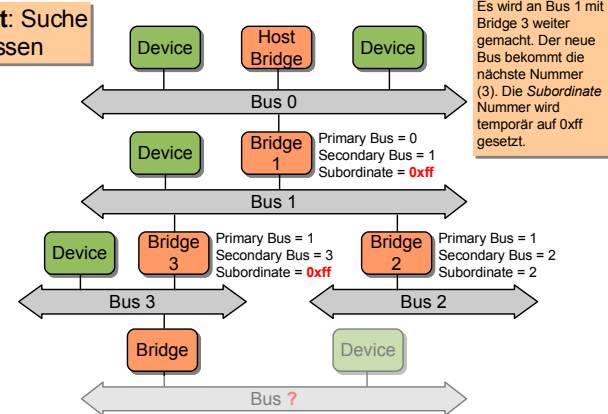
## PCI Initialisierung unter Linux

### 1. Schritt: Suche nach Bussen



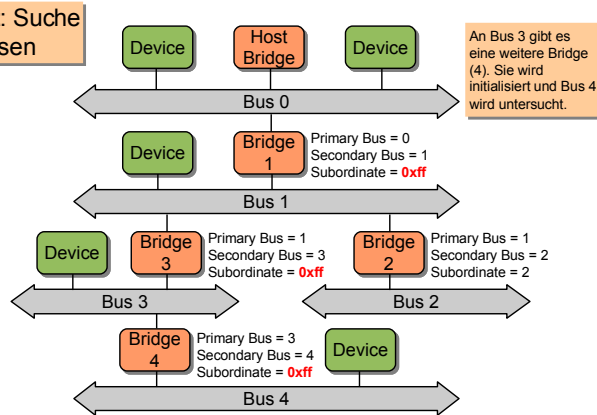
## PCI Initialisierung unter Linux

### 1. Schritt: Suche nach Bussen



## PCI Initialisierung unter Linux

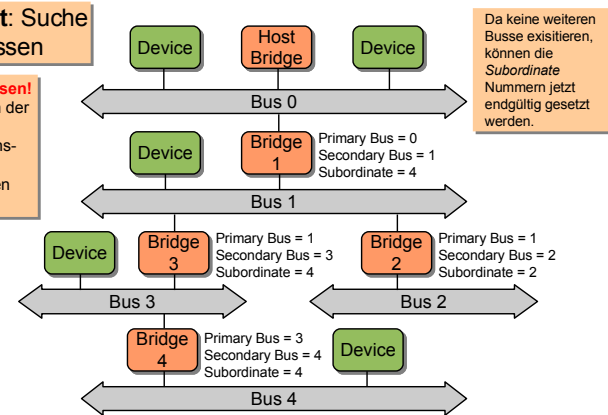
### 1. Schritt: Suche nach Bussen



## PCI Initialisierung unter Linux

### 1. Schritt: Suche nach Bussen

**Abgeschlossen!**  
Ab jetzt kann der komplette Konfigurations-Adressraum angesprochen werden.



## PCI Initialisierung unter Linux

### Algorithmus:

- Ausrichtung der aktuellen I/O und Speicheradressen auf die nächste 4K bzw. 1M Grenze
- für jedes Gerät des akt. Busses (in aufsteigender Reihenfolge der I/O Speicher-Anforderungen):
  - Reservierung der I/O und Speicheradressen
  - Aktualisierung der globalen I/O und Speicherzeiger
  - Initialisierung und Aktivierung des Geräts
- rekursive Anwendung des Algorithmus für alle angeschlossenen *Bridges*
- Ausrichtung der resultierenden Adressen (wie oben)
- Programmierung und Aktivierung der *Bridge*

**2. Schritt:**  
Zuweisung der Adressen



## Das PCI BIOS – Überblick

- Festlegung durch PCI SIG (1993, Vorlage von Intel 1991)
- auf PCs normalerweise vorhanden, bei anderen Rechnertypen eher selten anzutreffen
- konfiguriert die PCI *Bridges* und Geräte beim Systemstart
  - minimal, falls ein "*Plug&Play* Betriebssystem" installiert ist
  - sonst komplett
- nach dem *Booten* erlaubt das PCI BIOS ...
  - die Suche von PCI Geräten nach Geräteklasse oder Typ
  - den Zugriff auf den Konfigurationsadressraum
- der Zugriff erfolgt über ...
  - den BIOS Interrupt 0x1a (*Real Mode*)
  - das "*BIOS32 Service Directory*" (*Protected Mode*)



## Das PCI BIOS – im Protected Mode

- das BIOS32 Service Directory erlaubt (im Prinzip) den Zugriff auf beliebige BIOS Komponenten
- es liegt irgendwo im Bereich von 0xE0000-0xFFFFF

Offset	Größe	Beschreibung
0x00	4 Bytes	Signatur "_32_"
0x04	4 Bytes	physikalische Einstiegsadresse (für call)
0x08	1 Byte	BIOS32 Version (0)
0x09	1 Byte	Länge der Datenstruktur / 16 (1)
0x0a	1 Byte	Prüfsumme
0x0b	5 Byte	reserviert (0)

- mit dem BIOS32 Service kann man testen, ob ein PCI BIOS vorhanden ist.



## Das PCI BIOS – Funktionsumfang

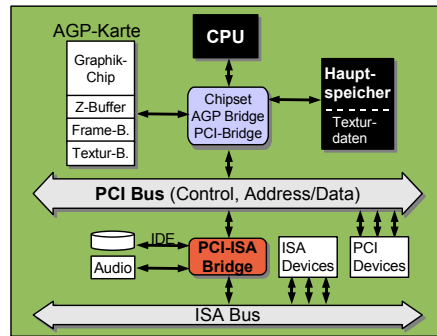
- folgende Funktionen umfasst das PCI-BIOS laut Spezifikation:

Funktionsname	Argumente	Resultate
<i>PCI BIOS Present</i>	-	ja/nein, letzte Busnr., Init.-Mechanismus
<i>Find PCI Device</i>	Device ID, Vendor ID, Index	Bus/Dev./Func. Nr.
<i>Find PCI Class Code</i>	Class Code, Index	Bus/Dev./Func. Nr.
<i>Generate Special Cycle</i>	Bus Nr.	-
<i>Get Interrupt Routing Opt.</i>	Pufferspeicher	Routing Möglichkeiten
<i>Set PCI Hardware Interrupt</i>	Bus Nr., Device Nr., Int.-Pin, Int.-Nr.	-
<i>Read Configuration Byte/Word/DWord</i>	Bus/Dev./Func./Reg. Nr.	gelesenes Byte/Word/DWord
<i>Write Configuration Byte/Word/DWord</i>	Bus/Dev./Func./Reg. Nr., zu schreibendes Byte/Word/DWord	-



## AGP – Hardware

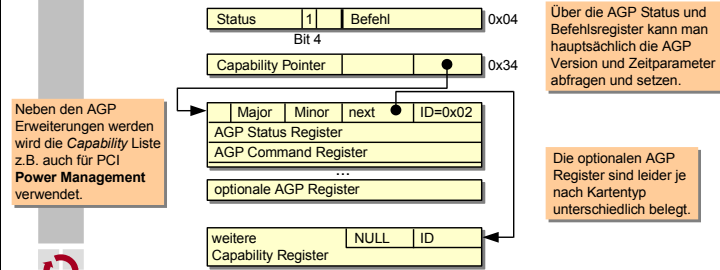
- Accelerated Graphics Port (1997)
- schnelle 1:1 Anbindung **einer** (3D) Graphikkarte
  - (theoretische) N x 266 MB/s Transferrate für AGP 1x, 2x, 4x, ...



21

## AGP – Initialisierung

- AGP Karte und Bridge präsentieren sich im System wie eine PCI-to-PCI Bridge und ein normales PCI Gerät
  - volle Software-Kompatibilität
- spezielle AGP Register lassen sich über die *Capability* Liste im Konfigurationsraum ansprechen:



BSB © 2007 Wolfgang Schröder-Preikschat, Olaf Spinczyk

22

## PCI-X (eXtended)

- Erweiterung des PCI Busses (1999)
  - von der PCI Special Interest Group (SIG) im PCI 3.0 Standard festgeschrieben
- erlaubt eine größere Bandbreite bei voller Kompatibilität
  - der PCI-X Bus benutzt den Arbeitsmodus des **langsamsten** Geräts

PCI-Kartentyp	PCI (konventionell)					PCI-X	
	33 MHz	33 MHz	66 MHz	66 MHz	133 MHz	33 MHz	66 MHz
Bus-Frequenz	33 MHz	33 MHz	66 MHz	66 MHz	133 MHz	33 MHz	66 MHz
Spannung	5 V	3,3 V/univ.	3,3 V/univ.	3,3 V/univ.	3,3 V/univ.	3,3 V/univ.	3,3 V/univ.
<b>Mainboard</b>							
PCI	33 MHz	33 MHz	33 MHz	33 MHz	33 MHz	33 MHz	33 MHz
PCI	66 MHz	-	33 MHz	66 MHz	33/66 MHz	33/66 MHz	33/66 MHz
PCI-X	66 MHz	-	33 MHz	33/66 MHz	66 MHz	66 MHz	66 MHz
PCI-X	100 MHz	-	33 MHz	33/66 MHz	66 MHz	100 MHz	100 MHz
PCI-X	133 MHz	-	33 MHz	33/66 MHz	66 MHz	133 MHz	133 MHz

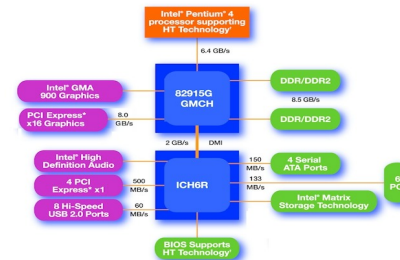
- neben der Takterhöhung gibt es auch *Split Transactions*
  - zugänglich wiederum über die *Capabilities* Liste

BSB © 2007 Wolfgang Schröder-Preikschat, Olaf Spinczyk

23

## PCI Express

- ... hat technisch wenig mit dem PCI Bus zu tun
- bidirektionale, serielle Punkt-zu-Punkt Verbindungen
  - Bandbreite pro Lane je Richtung: 512 MB/s, 8GB/s bei x16!
- ein typisches PC System mit PCI Express Geräten (i915)



www.intel.com

\* Hyper-Threading (HT) Technology requires a computer system with an Intel® Pentium® 4 processor supporting HT Technology and a HT Technology enabled chipset, BIOS and operating system. Performance will vary depending on the specific hardware and software you use. See [www.intel.com/technology/hyperthreading](http://www.intel.com/technology/hyperthreading) for more information including details on which processors support HT Technology.

24

## Zusammenfassung

---

- im Bereich der PC Bussysteme dominiert seit Jahren PCI
- die neuesten Entwicklungen (PCI Express) haben kaum noch Ähnlichkeit mit dem PCI Bus von 1991
  - serielle Punkt-zu-Punkt Verbindungen und *Switches*
- neben den physikalischen Eigenschaften definiert PCI auch ein Programmiermodell
  - I/O- und Speicheradressräume
  - Konfigurierung und Initialisierung über Konfigurationsadressraum
  - Bus-Hierarchien
- auch die neuesten Entwicklungen sind auf der Ebene des Programmiermodells zu PCI kompatibel

